

(Translation)

Mailed: November 16, 2004



DECISION OF REJECTION

Patent Application No.: Japanese Patent Application No. 09-113900

Examiner's Notice Date: November 10, 2004

Examiner: Shingo FUCHI 3125 4L00

Title of the Invention: Semiconductor integrated circuit device and a method and device for inspecting the same

Patent Applicant: Kabushiki Kaisha TOSHIBA

Attorney for Applicant: Mr. Takehiko SUZUYE (other 6 attorneys).

The present application is rejected for the reason stated in the Official Action dated June 9, 2004.

The written opinion and amendment have been reviewed, but do not appear to overcome the reason for rejection.

REMARKS

- Reason 1
- Claim 3

FIG. 1 in the publication cited in the previous Notification of Reasons for Rejection (Jpn. Pat. Appln. KOKAI Publication No. 06-163823; hereinafter, referred to as "Reference 1") shows an invention directed to a semiconductor integrated circuit device comprising a P-type substrate 10, an N-type well 12 (corresponding to the first well of the present invention) formed on the P-type substrate 10, a P-type well 16 (corresponding to the second well of the present invention) formed in the N-type well 12, an N-type well 14 (corresponding to the third well of the present invention), and a P-type well 18 formed in the N-type well 14, wherein an earth terminal GND 2 (corresponding to the bias potential) is connected to the P-type substrate 10, a power source terminal Vcc1 (corresponding to the first power source means) is connected to an analog circuit

part (corresponding to the first functional circuit), and a digital circuit part (corresponding to the second functional circuit) is connected to a power source terminal Vcc2 (corresponding to the second power source means).

The Applicant in the Opinion that the present invention differs from the cited inventions in that the present invention enables accurate concurrent parallel investigation of a plurality of functional circuits and concurrent parallel investigation of a plurality of semiconductor integrated circuit devices. However, the invention claimed in claim 3 falls under the category "product," and thus is compared with the invention disclosed in Reference 1 from the viewpoint of the "product." Further, claim 3 does not recite such investigation in terms of functions, and nowhere provides the recitation as to what particular investigation method is used to carry out the concurrent parallel investigation of a plurality of functional circuits. Thus, the Applicant's assertion is unacceptable. It should be noted that, even if the investigation is recited in claim 3 in terms of functions, in the case where the use of a product in such investigation is not recognized as the structure of the product, the present invention as claimed in claim 3 is still deemed to be indistinguishable from Reference 1.

Accordingly, the present invention as claimed in claim 3 is disclosed in Reference 1, and thus is unpatentable under Section 29 (1) (iii) of the Patent Law.

- Reason 2

- Claim 4

It is merely a matter of design whether, in formation of an N-type transistor and a P-type transistor in one well as in Reference 1, a transistor having a conductivity type inverted to that of the one well is directly formed in the one well or, as shown in FIG. 4 in the publication cited in the previous Notification of

Reasons for Rejection (Jpn. Pat. Appl. KOKAI Publication No. 08-017941: hereinafter, referred to as "Reference 2"), a different well having the same conductivity type is formed in the relevant well, and the transistor is then formed in the different well.

Thus, the present invention as claimed in claim 4 could easily have been made by those skilled in the art based on the inventions disclosed in References 1 and 2, and thus is unpatentable under Section 29 (2) of the Patent Law.

- Claim 10

It is merely well known in the art to use a dedicated pad in subjecting a substrate to biasing.

Thus, the present invention as claimed in claim 10 could easily have been made by those skilled in the art based on the inventions disclosed in References 1 and 2, and thus is unpatentable under Section 29 (2) of the Patent Law.

- Claim 11

In the case where power source potentials used in individual circuit parts are different from each other as shown in FIG. 1 in Reference 1, the power source potentials are individually controlled using dedicated power sources.

Thus, the present invention as claimed in claim 11 could easily have been made by those skilled in the art based on the inventions disclosed in References 1 and 2, and thus is unpatentable under Section 29 (2) of the Patent Law.

- Claim 12

The analog circuit and digital circuit disclosed in Reference 1, of course, comprise an output terminal.

Thus, the present invention as claimed in claim 12 could easily have been made by those skilled in the art based on the inventions disclosed in References 1 and 2, and thus is unpatentable under Section 29 (2) of the Patent Law.

For the above reasons, the present application is rejected.

The following respects do not constitute this Decision of Rejection, but should be considered when the Applicant appeals against the Decision of Rejection.

Claims 1 and 2 recite the feature that a memory circuit is comprised of a first functional circuit and a second functional circuit formed by a multiplexed well. However, it is unclear whether the "memory circuit" is defined to include a memory cell and a peripheral circuit or to include a memory cell alone. Namely, it is unclear whether the first functional circuit is designated as the memory cell and the second functional circuit is designated as the peripheral circuit, or both the first and second functional circuits are memory cells. Further, note the following respects. If the memory circuit is used in the former meaning, it is a well-known technique to form a memory cell and a peripheral circuit by different wells as disclosed in Jpn. Pat. Appln. KOKAI Publication No. 6-85200. Thus, the present invention as claimed in claims 1 and 2 would be obvious to those skilled in the art. On the other hand, the problem to be solved by the present invention of accurately testing the respective properties of a plurality of functional circuits having different properties is in no way satisfied in the case where the memory circuit is used in the latter meaning.

It should be noted that the limitations in claims 5 to 7 are not deemed to limit the features regarding the investigation, that no particular difficulty would

generally be found in merely integrating internal voltage generating circuit irrespective of the investigation, and thus that the present invention as claimed in claims 5 to 7 would be obvious to those skilled in the art.

It should be noted that the limitations in claims 8 and 9 are not deemed to limit the features regarding the investigation, that no particular difficulty would generally be found in merely controlling the on/off of a circuit in order to suppress the power consumption irrespective of the investigation, and thus that the present invention as claimed in claims 5 to 7 would be obvious to those skilled in the art.

The present invention as claimed in claims 13 to 15 relates to an investigation method, but the features of the wells for constituting the functional circuits are not limited to the features recited in claim 3. Accordingly, the invention as claimed in claims 13 to 15 is not deemed to relate to a method of investing the invention of claim 3, and does not have any of the relationships stated in Section 37 of the Patent Law. Thus, the present application does not fail to meet the unity requirement.

The present invention as claimed in claims 16 to 18 relates to an investigation device, but the features of the wells for constituting the functional circuits are not limited to the features recited in claim 3. Accordingly, the invention as claimed in claims 16 to 18 is not deemed to relate to an investigation device for investing the invention of claim 3, and does not have any of the relationships stated in Section 37 of the Patent Law. Thus, the present application does not fail to meet the unity requirement.

特許査定

特許出願の番号	平成 9年 特許願 第113900号
起案日	平成16年11月10日
特許庁審査官	渕 真悟 3125 4L00
発明の名称	半導体集積回路装置およびその検査方法およびその検査装置
特許出願人	株式会社東芝
代理人	鈴江 武彦 (外 6名) 16.12.16

この出願については、平成16年 6月 9日付け拒絶理由通知書に記載した理由1、2によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

理由 1

請求項3について

先の拒絶理由通知にて引用した刊行物（特開平06-163823号公報、以下、「引用文献1」と呼ぶ）の第1図には、P型基板10にN型ウェル12（本発明の第1ウェルに対応）とN型ウェル12内に形成されたP型ウェル16（本発明の第2ウェルに対応）と、N型ウェル14（本発明の第3ウェルに対応）とN型ウェル14内に形成されたP型ウェル18が形成され、P型基板10に接地端子GND2（バイアス電位に対応）が接続され、アナログ回路部（第1機能回路に対応）に電源端子Vcc1（第1の電源手段に対応）が接続され、デジタル回路部（第2機能回路に対応）が電源端子Vcc2（第2機能回手段に対応）に接続される半導体集積回路装置の発明が記載されている。

ここで、出願人は意見書において、本発明は複数の機能回路の同時並列検査、及び複数の半導体集積回路装置の同時並列検査を正確に可能とする点で、各引用文献と相違する旨の主張をしている。しかし、請求項3に係る発明は物のカテゴリに属する発明であるため、物として引用文献1と比較していると共に、そもそも請求項3には機能的にも検査に関する記載はなく、具体的にどのような検査方法を用いることにより、出願人が主張するような複数の機能回路の同時並列検査が行えるのか、請求項3には何ら記載されていないため、出願人の主張は認められない。なお、機能的に記載されていたとしても、検査に用いることが物の構造

として見受けられない場合は、引用文献1と差異が認められないことに留意されたい。

したがって、請求項3に係る発明は、引用文献1に記載された発明であるから、特許法第29条第1項第3号に該当し特許を受けることができない。

理由2

請求項4について

引用文献1のように1つのウェル内にN型及びP型トランジスタを形成する際に、当該1つのウェルと逆導電型のトランジスタを当該1つのウェルに直接形成するか、先の拒絶理由通知にて引用した刊行物（特開平08-017941号公報、以下「引用文献2」と呼ぶ）の第4図に示されているように、当該ウェルに同一導電型の別のウェルを形成して、前記トランジスタを別のウェルに形成することは単なる設計事項に過ぎない。

したがって、請求項4に係る発明は、引用文献1、2に記載された発明に基いて、当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

請求項10について

基板にバイアスする際に、専用のパッドを用いて行うことは単なる周知技術に過ぎない。

したがって、請求項10に係る発明は、引用文献1、2に記載された発明に基いて、当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

請求項11について

引用文献1の第1図に示されているように各回路部において使用する電源電位が異なる場合には、専用の電源を用いて各電源電位を独立に制御するものと認められる。

したがって、請求項11に係る発明は、引用文献1、2に記載された発明に基いて、当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

請求項12について

引用文献1のアナログ回路及びデジタル回路においても、当然に出力端子を具

備するものと認められる。

したがって、請求項1・2に係る発明は、引用文献1、2に記載された発明に基いて、当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

よって上記のとおり査定する。

なお、以下は拒絶査定を構成するものではないが、審判請求をする際には以下のことも留意にされたい。

- ・ 請求項1、2に係る発明は多重化されたウェルによって形成された第1及び第2機能回路とで、メモリ回路を構成することが記載されているが、メモリ回路とは、メモリセルと周辺回路とを含めてメモリ回路としているのか、それとも、メモリセルのみをメモリ回路としているのか不明である。つまり、第1機能回路がメモリセルで第2機能回路が周辺回路であることを示しているのか、第1及び第2機能回路が共にメモリセルであるのか不明である。また、前者の意味でメモリ回路を用いている場合、例えば特開平6-85200号公報に示されているように、メモリセルと周辺回路とを異なるウェルで形成することは周知技術であるため、請求項1、2に係る発明は容易の範疇であり、後者の意味である場合には、本発明が解決すべき、お互いに機能が異なっている複数の機能回路のそれぞれの特性を正確にテストするという課題を満たすものではないことに留意されたい。
- ・ 請求項5～7において限定された構成は、検査に関するための構成を限定しているとはいえず、一般的に、検査とは関係なく単に内部電圧発生回路を集積することに何ら困難性は認められないことから、容易の範疇であることに留意されたい。
- ・ 請求項8、9において限定された構成は、検査に関するための構成を限定しているとはいえず、検査とは関係なく消費電力を抑えるため単に回路のオン／オフを制御することに何ら困難性は認められないことから、容易の範疇であることに留意されたい。
- ・ 請求項13～15に係る発明は検査方法ではあるが、機能回路を構成するためのウェルの構成が請求項3に記載された構成に限定されているわけではないため、請求項3に係る発明を検査する方法とはいえず、特許法第37条各号の関係を有さないため、本願出願は单一性の要件を満たしていないことに留意されたい。
- ・ 請求項16～18に係る発明は検査装置ではあるが、機能回路を構成するためのウェルの構成が請求項3に記載された構成に限定されているわけではないため、請求項3に係る発明を検査するための検査装置とはいえず、請求項3に係る発明とは特許法第37条各号の関係を有さないため、本願出願は单一性の要件を

整理番号: A009606505 発送番号: 417281 発送日: 平成16年11月16日 4/E
満たしていないことに留意されたい。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成16年11月11日 経済産業事務官 高渕 清士